

JPAB

CLIPPEDIMAGE= JP356164650A

PAT-NO: JP356164650A

DOCUMENT-IDENTIFIER: JP 56164650 A

TITLE: INPUT AND OUTPUT CONTROL SYSTEM FOR DATA TRANSMISSION

PUBN-DATE: December 17, 1981

INVENTOR-INFORMATION:

NAME

NISHITANI, KOJI

MOCHIZUKI, YUJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP55066462

APPL-DATE: May 21, 1980

INT-CL (IPC): H04L011/00; G06F003/04

ABSTRACT:

PURPOSE: To reduce the burden of CPU and a memory and to enable high speed processing, by starting the operation of the interface with each device to be started and operating an input and output control means of itself by program.

CONSTITUTION: A CPU21 forms required command and data based on a transmission sequence control program. Succeedingly, a CPU21 starts a ring data bus interface 20 and transmits the command and data to the interface 20. The interface 20 operates the input and output control means of itself with a microprogram. With this operation, the command, etc. are transmitted to a CPU22 of the reception side. Based on the reception sequence control program in the CPU22, the interface 20 is started to receive the command, etc. Further, the response is transmitted to the interface 20 through the route of a station ST<SB>2</SB>-transmission line 10-station ST<SB>1</SB>, based on the reception sequence control program.

COPYRIGHT: (C)1981, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—164650

⑪ Int. Cl.³
H 04 L 11/00
G 06 F 3/04

識別記号

庁内整理番号
7230—5K
7218—5B

⑬ 公開 昭和56年(1981)12月17日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ データ伝送の入出力制御方式

⑯ 発明者 望月雄次

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

⑰ 特 願 昭55—66462

⑱ 出 願 昭55(1980)5月21日

⑲ 出 願 人 東京芝浦電気株式会社

⑳ 発 明 者 西谷孝次

川崎市幸区堀川町72番地

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

㉑ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称

データ伝送の入出力制御方式

2. 特許請求の範囲

複数のステーションを伝送路で接続しループ状となし、前記ステーションと各装置とをインタフェースで接続し、あるステーションの装置と他のステーションの装置がデータ伝送を行うデータウェイにおいて、前記インタフェースは各装置に起動されて動作を開始するとともに、自己の有する入出力制御手段をマイクロプログラムにより動作させ所定の入出力制御を行うことを特徴としたデータ伝送の入出力制御方式。

3. 発明の詳細な説明

本発明はデータ伝送の入出力制御方式に関するものである。

近年、コンピュータのネットワークシステムとしていわゆるデータウェイが目ざされてきている。このデータウェイは、第1図のように複数のステーションST₁、ST₂（他にステーションがあるが

略する）を伝送路10で接続しループ状となす。そして、ステーションST₁と装置11（例えばOPU）とはインタフェース12で接続される。図においては省略してあるが、OPU13とステーションST₂もインタフェースで接続される。このようにして接続されたOPU11とOPU13とはデータ伝送を行う。

しかし、従来のデータ伝送の入出力制御方式においては、例えばOPU11に送信シーケンス制御、データ出力制御、受信シーケンス制御、データ入力制御のためのプログラムを持たせておく。そして、応答受信のために、OPU11は先ずインタフェース12に入力要求信号を出す。続いて、コマンド出力のため出力要求信号を出し、コマンドを送出し、この段階で送信完了を確認する。さらにOPU11はこの後受信完了を確認する。以上のようなデータ伝送の入出力制御においては、OPUには送信完了、受信完了毎に割り込みがなされる。このためOPUには負荷が多大にかかるばかりでなく、制御のためのプログラム容量が必装でメモリ負荷も多大なものであった。また、OPUによる制御の

ためステップ数を必要とし時間もかかるものであった。

この発明は以上の欠点に鑑みなされたもので、O P U及びメモリの負担を軽減し、同時に高速処理の可能なデータ伝送の入出力制御方式を提供することを目的とする。

次に、本発明の方式を図面を用いて説明する。第2図において20はリングデータバスインタフェース（以下R D Bインタフェースと称す）である。21、22はO P Uである。CPU21はR D Bインタフェース20を介してステーションST₁と接続される。図示しないがCPU22とステーションST₂の間にもR D Bインタフェースが介在する。このR D Bインタフェース20は各装置——この場合CPU21——に起動されて動作を開始するものである。またR D Bインタフェース20内には入出力制御手段が含まれている。この入出力制御手段はマイクロプログラムにより動作し、応答受信のための手続等——例えばコマンドやデータの送信、この送信に対する応答の受信等——の所定の入出力制御を行うも

のである。CPU21には送信シーケンス制御、受信シーケンス制御のプログラムを持たせておく。

このように構成したデータウェイの動作を説明する。送信側をCPU21、受信側をCPU22とする。まず、CPU21が送信シーケンス制御プログラムにもとづいて、必要なコマンド、データを作成する。続いて、CPU21はR D Bインタフェース20を起動させ、前述のコマンド、データをR D Bインタフェース20に送出する。R D Bインタフェース20は自己の有する図示せぬ入出力制御手段をマイクロプログラムにより動作させる。この動作で、コマンド、データは受信側のCPU22に送られる。受信側のCPU22内の受信シーケンス制御プログラムにもとづき、図示せぬR D Bインタフェースは起動させられコマンド、データを受け取る。さらに、“応答”は、受信シーケンス制御プログラムにもとづき図示せぬR D Bインタフェースを介してステーションST₁——伝送路10——ステーションST₂を通りR D Bインタフェース20に伝えられる。R D Bインタフェース20は“応答”をCPU21に送出

- 3 -

して入出力制御を終了する。

また、CPU21が受信をする場合についても、R D Bインタフェース20が同様に動作しデータ伝送の入出力制御が行われる。

以上述べたように本発明の方式を用いることにより、O P Uには割り込みが入らないばかりでなく入出力制御のためのプログラムも持たせる必要がない。従って、O P Uに負荷がかかることがなく、またメモリに負荷のかかることもない。さらに、R D Bインタフェースが自己の内部でマイクロプログラムを入出力制御手段に適用して制御するので、O P Uを介して逐次制御する場合に比して高速処理が可能である。また、当然のことであるがデータ入出力制御用のプログラムは用いないので開発する必要がなくコストダウンにつながるものである。

4. 図面の簡単な説明

第1図は従来の入出力制御方式を説明するためのブロック図、第2図は本発明の一実施例を説明するためのブロック図である。

- 5 -

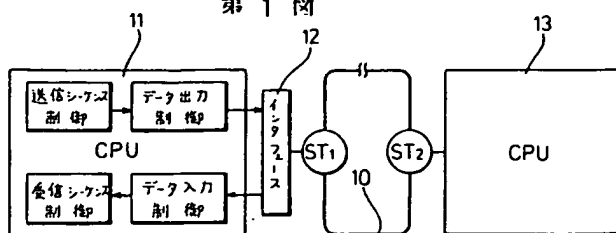
- 4 -

10……伝送路、20……R D Bインタフェース
ST₁、ST₂……ステーション

特許出願人 東京芝浦電気株式会社

代理人弁理士 則 近 庵 佑
(ほか1名)

第 1 図



第 2 図

